

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349298  
(43)Date of publication of application : 15.12.2000

(51)Int. Cl. H01L 29/786  
H01L 21/336  
G02F 1/1368  
G09F 9/30  
H01L 21/3205

(21)Application number : 2000-075017 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD  
(22)Date of filing : 17.03.2000 (72)Inventor : YAMAZAKI SHUNPEI  
KOYAMA JUN

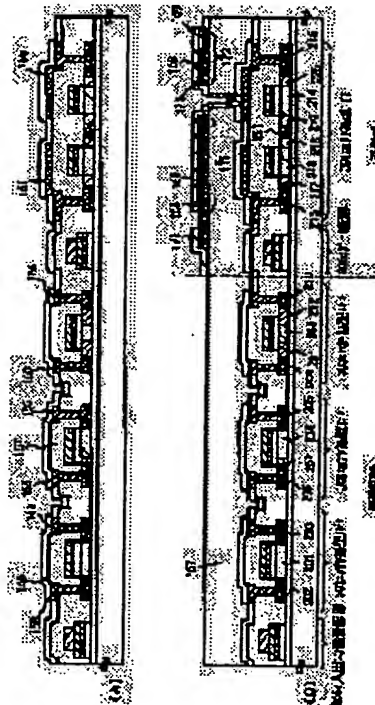
## (30)Priority

Priority number : 11084736 Priority date : 26.03.1999 Priority country : JP

## (54) ELECTROOPTIC DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an electrooptic device which can operate highly efficiently and highly reliably.  
SOLUTION: In an n-channel TFT 302, forming a drive circuit of a TFT structure which is resistant to hot carrier injection, is realized by arranging an Lov region 207 in the TFT 302. In an n-channel TFT 304 forming a pixel section, in addition a TFT structure which has a low off current value is realized by arranging Loff areas 217-220 in the TFT 304. In this case, wiring resistances of input/output signal wiring 305 and gate wiring 306 are reduced by forming the wiring 305 and 306 in a laminated wiring, in which first wiring and second wiring having a resistivity lower than that of the first wiring are laminated upon another.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-349298

(P2000-349298A)

(43)公開日 平成12年12月15日(2000.12.15)

(51)Int.Cl.	識別記号	FI	キーワード(参考)
H01L 29/786		H01L 29/78	616A
21/336		G09F 9/30	338
G02F 1/1368		G02F 1/136	500
G09F 9/30	338	H01L 21/88	R
H01L 21/3205		29/78	612B

審査請求 未請求 請求項の数18 OL (全 27 頁) 最終頁に続く

(21)出願番号 特願2000-75017(P2000-75017)

(22)出願日 平成12年3月17日(2000.3.17)

(31)優先権主張番号 特願平11-84736

(32)優先日 平成11年3月26日(1999.3.26)

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 小山 潤

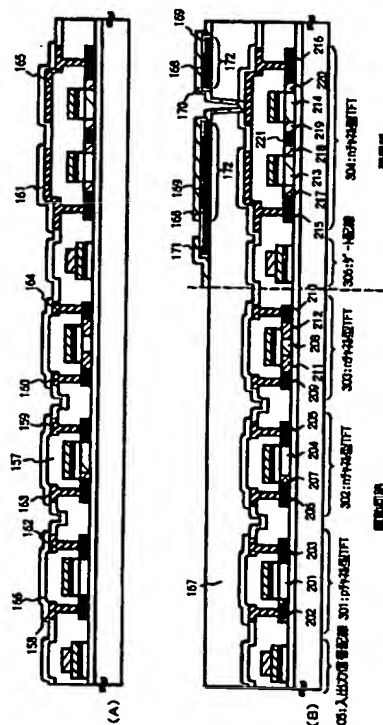
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 電気光学装置およびその作製方法

(57)【要約】

【課題】 動作性能および信頼性の高い電気光学装置およびその作製方法を提供する。

【解決手段】 駆動回路を形成するnチャネル型TFT 302にはL<sub>ov</sub>領域207が配置され、ホットキャリア注入に強いTFT構造が実現される。また、画素部を形成するnチャネル型TFT 304にはL<sub>off</sub>領域217~220が配置され、低オフ電流値のTFT構造が実現される。この時、入出力信号配線305、ゲート配線306は第1配線と該第1配線よりも抵抗率の低い第2配線とが積層された配線で形成され、配線抵抗が大幅に低減されている。



## 【特許請求の範囲】

【請求項 1】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路の  $n$  チャンネル型 TFT の LDD 領域は、一部または全部が該  $n$  チャンネル型 TFT のゲート電極とゲート絶縁膜を挟んで重なり、

前記画素部の画素 TFT の LDD 領域は、該画素 TFT のゲート電極とゲート絶縁膜を挟んで重ならず、

前記画素 TFT のゲート電極と同一層で且つ同一材料からなる第 1 配線に該第 1 配線よりも抵抗率の低い第 2 配線が積層された配線を含むことを特徴とする電気光学装置。

【請求項 2】請求項 1 において、前記駆動回路の  $n$  チャンネル型 TFT の LDD 領域には、前記画素 TFT の LDD 領域に比べて  $2 \sim 10$  倍の濃度で  $n$  型不純物元素が含まれることを特徴とする電気光学装置。

【請求項 3】請求項 1 において、前記駆動回路の  $n$  チャンネル型 TFT の LDD 領域には  $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度範囲で  $n$  型不純物元素が含まれ、前記画素 TFT の LDD 領域には  $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup> の濃度範囲で  $n$  型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項 4】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路には、LDD 領域の全部がゲート電極とゲート絶縁膜を挟んで重なる第 1  $n$  チャンネル型 TFT 及び LDD 領域の一部がゲート電極とゲート絶縁膜を挟んで重なる第 2  $n$  チャンネル型 TFT が含まれ、

前記画素部を形成する画素 TFT の LDD 領域は、該画素 TFT のゲート電極とゲート絶縁膜を挟んで重ならず、

前記画素 TFT のゲート電極と同一層で且つ同一材料からなる第 1 配線に該第 1 配線よりも抵抗率の低い第 2 配線が積層された配線を含むことを特徴とする電気光学装置。

【請求項 5】請求項 4 において、前記第 1  $n$  チャンネル型 TFT の LDD 領域および／または前記第 2  $n$  チャンネル型 TFT の LDD 領域には、前記画素 TFT の LDD 領域に比べて  $2 \sim 10$  倍の濃度で  $n$  型不純物元素が含まれることを特徴とする電気光学装置。

【請求項 6】請求項 4 において、前記第 1  $n$  チャンネル型 TFT の LDD 領域および／または前記第 2  $n$  チャンネル型 TFT の LDD 領域には  $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度範囲で  $n$  型不純物元素が含まれ、前記画素 TFT の LDD 領域には  $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup> の濃度範囲で  $n$  型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項 7】請求項 1 または請求項 4 において、前記第 1 配線に該第 1 配線よりも抵抗率の低い第 2 配線が積層された配線とは入出力信号配線またはゲート配線である

ことを特徴とする電気光学装置。

【請求項 8】請求項 1 または請求項 4 において、前記第 2 配線の抵抗率は前記第 1 配線の抵抗率の  $1/10 \sim 1/100$  倍であることを特徴とする電気光学装置。

【請求項 9】請求項 1 または請求項 4 において、前記第 1 配線の抵抗率は  $10 \sim 500 \mu\Omega\text{cm}$  であり、前記第 2 配線の抵抗率は  $0.1 \sim 10 \mu\Omega\text{cm}$  であることを特徴とする電気光学装置。

【請求項 10】請求項 1 または請求項 4 において、前記第 1 配線はタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線であり、

前記第 2 配線はアルミニウム、銅もしくは銀を含む配線であることを特徴とする電気光学装置。

【請求項 11】請求項 1 または請求項 4 において、前記画素 TFT のチャンネル形成領域と前記画素 TFT の LDD 領域との間にオフセット領域を含むことを特徴とする電気光学装置。

【請求項 12】請求項 1 乃至請求項 11 において、前記画素部に EL 素子を含むことを特徴とする電気光学装置。

【請求項 13】請求項 1 乃至請求項 11 に記載の電気光学装置を表示部として用いたことを特徴とする電気器具。

【請求項 14】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

基板上に結晶を含む半導体膜を形成する第 1 工程と、前記結晶を含む半導体膜に  $p$  型不純物元素を添加して  $p$  型不純物領域 (b) を形成する第 2 工程と、

前記結晶を含む半導体膜の前記駆動回路の  $n$  チャンネル型 TFT となる領域に  $n$  型不純物元素を添加し、 $n$  型不純物領域 (b) を形成する第 3 工程と、

前記第 3 工程まで終了した結晶を含む半導体膜をパターニングして活性層を形成する第 4 工程と、

前記活性層の上にゲート絶縁膜を形成する第 5 工程と、前記ゲート絶縁膜の上に導電膜を形成する第 6 工程と、

前記導電膜をパターニングして第 1 配線を形成する第 7 工程と、

前記第 1 配線をマスクとして前記活性層に  $n$  型不純物元素を添加し、 $n$  型不純物領域 (c) を形成する第 8 工程と、

前記  $n$  チャンネル型 TFT の活性層に  $n$  型不純物元素を添加し、 $n$  型不純物領域 (a) を形成する第 9 工程と、

前記  $p$  チャンネル型 TFT の活性層に  $p$  型不純物元素を添加し、 $p$  型不純物領域 (a) を形成する第 10 工程と、

加熱処理により前記  $p$  型不純物領域 (a)、前記  $p$  型不純物領域 (b)、前記  $n$  型不純物領域 (a)、前記  $n$  型不純物領域 (b) および前記  $n$  型不純物領域 (c) に添加された不純物元素を活性化する第 11 工程と、

前記第 1 配線の上に第 2 配線を積層する第 12 工程と、

を含むことを特徴とする電気光学装置の作製方法。

【請求項 15】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

基板上に結晶を含む半導体膜を形成する第 1 工程と、  
前記結晶を含む半導体膜に対して第 1 光アニールを行う第 2 工程と、

前記結晶を含む半導体膜に p 型不純物元素を添加して p 型不純物領域 (b) を形成する第 3 工程と、

前記結晶を含む半導体膜の前記駆動回路の n チャネル型 TFT となる領域に n 型不純物元素を添加し、n 型不純物領域 (b) を形成する第 4 工程と、

前記第 4 工程まで終了した結晶を含む半導体膜に対して第 2 光アニールを行う第 5 工程と、

前記第 5 工程まで終了した結晶を含む半導体膜をパターニングして活性層を形成する第 6 工程と、

前記活性層の上にゲート絶縁膜を形成する第 7 工程と、

前記ゲート絶縁膜の上に導電膜を形成する第 8 工程と、

前記導電膜をパターニングして第 1 配線を形成する第 9 工程と、

前記第 1 配線をマスクとして前記活性層に n 型不純物元素を添加し、n 型不純物領域 (c) を形成する第 10 工程と、

前記第 1 配線をマスクとして前記ゲート絶縁膜をエッチングする第 11 工程と、

前記 n チャネル型 TFT の活性層に n 型不純物元素を添加し、n 型不純物領域 (a) を形成する第 12 工程と、

前記 p チャネル型 TFT の活性層に p 型不純物元素を添加し、p 型不純物領域 (a) を形成する第 13 工程と、

加熱処理により前記 p 型不純物領域 (a)、前記 p 型不純物領域 (b)、前記 n 型不純物領域 (a)、前記 n 型不純物領域 (b) および前記 n 型不純物領域 (c) に添加された不純物元素を活性化する第 14 工程と、

前記第 1 配線の上に第 2 配線を積層する第 15 工程と、  
を含むことを特徴とする電気光学装置の作製方法。

【請求項 16】請求項 14 または請求項 15 において、前記第 2 配線として抵抗率が前記第 1 配線の抵抗率の  $1/10 \sim 1/100$  倍である配線が形成されることを特徴とする電気光学装置の作製方法。

【請求項 17】請求項 14 または請求項 15 において、前記第 1 配線の材料として抵抗率が  $10 \sim 500 \mu\Omega \text{ cm}$  の材料を用い、前記第 2 配線の材料として抵抗率が  $0.1 \sim 10 \mu\Omega \text{ cm}$  である材料を用いることを特徴とする電気光学装置の作製方法。

【請求項 18】請求項 14 または請求項 15 において、前記第 1 配線としてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線が形成され、

前記第 2 配線としてアルミニウム、銅もしくは銀を含む配線が形成されることを特徴とする電気光学装置の作製方法。

## 【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ (以下、TFT という) で形成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置、EL (エレクトロルミネッセンス) 表示装置に代表される電気光学装置、および電気光学装置を表示部に用いた電気器具 (電子機器ともいう) に関する。

【0002】尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を表示部に用いた電気器具も半導体装置に含まれる。

### 【0003】

【従来の技術】絶縁表面を有する基板上に TFT で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL 表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜 (典型的にはポリシリコン膜) を活性層にした TFT (以下、ポリシリコン TFT と記す) は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素部や、CMOS 回路を基本としたシフトレジスタ、レベルシフタ、バッファ、サンプリング回路などの集積回路が一枚の基板上に形成される。また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ、マルチプレクサ回路などの画素部を制御するための駆動回路が TFT を用いて形成されている。

【0005】これらの駆動回路はそれぞれにおいて動作条件が必ずしも同一でないので、当然 TFT に要求される特性も少なからず異なっている。画素部においては、スイッチ素子として機能する画素 TFT と補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が多く採用されている。従って、要求される TFT の特性はオフ電流値 (TFT がオフ動作時に流れるドレイン電流値) を十分低くさせておく必要があった。また、バッファは高い駆動電圧が印加されるため、高電圧がかかっても壊れない程度にまで耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値 (TFT がオン動作時に流れるドレイン電流値) を十分確保する必要があった。

【0006】しかし、ポリシリコン TFT のオフ電流値は高くなりやすいといった問題点がある。また、IC などと使われる MOS トランジスタと同様にポリシリコン TFT にはオン電流値の低下といった劣化現象が観測さ

れる。主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造はチャンネル形成領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0008】また、ホットキャリア注入によるオン電流値の劣化を防ぐための構造として、いわゆるGOLD(Gate-drain Overlapped LDD)構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート配線と重なるように配置されているため、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。例えば、「Mutsuko Hatano,Hajime Akimoto and Takeshi Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」では、シリコンで形成したサイドウォールによるGOLD構造を開示しているが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0009】また、アクティブマトリクス型液晶表示装置の画素部には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0010】ところが、このコンデンサはオフ電流値等に起因するリーク電流により次第にその蓄積容量が減少するため、透過光量に変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ(保持容量)を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

【0011】

【発明が解決しようとする課題】しかしながら、画素部の画素TFTと、シフトレジスタやバッファなどの駆動回路のTFTとでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいては、ゲート配線に大きな逆バイアス(nチャネル型TFTであればマイナス)電圧が印加されるが、駆動回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者の1/100以下で良い。

【0012】また、GOLD構造は確かにオン電流値の劣化を防ぐ効果は高いが、反面、通常のLDD構造に比

べてオフ電流値が大きくなってしまいう問題があった。従って、特に画素TFTにとっては好ましい構造とは言えなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いことが知られていた。

【0013】このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する電気光学装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。

【0014】さらに、従来例に示したように画素部に容量配線を用いた保持容量を形成して十分な容量を確保しようとする、開口率(画素の面積に対して画像表示が可能な面積の割合)を犠牲にしなければならなかった。特に、プロジェクター型表示装置に用いられるような小型の高精細パネルでは、一個当たりの画素面積も小さいため、容量配線による開口率の低下は問題となっていた。

【0015】本発明はこのような課題を解決するための技術であり、電気光学装置の駆動回路や画素部に配置されるTFTの構造を、その機能に応じて適切なものとするにより、電気光学装置の動作性能および信頼性を向上させることを目的とする。また、そのような電気光学装置を実現するための作製方法を提供することを課題とする。

【0016】また、他の目的として画素部を有する電気光学装置において、画素に設けられる保持容量の面積を縮小し、開口率を向上させるための構造を提供することを目的とする。また、そのような画素部の作製方法を提供する。

【0017】

【課題を解決するための手段】上記問題点を解決するために本発明の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路のnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート電極とゲート絶縁膜を挟んで重なり、前記画素部の画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする。

【0018】また、上記構成に加えて、前記画素部の保持容量を有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成しても良い。こうすることで非常に小さい面積で保持容量を形成することができるため、画素の開口率を向上させることができる。

【0019】また、本発明の他の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路には、LDD領域の全部がゲート電極とゲート絶縁膜を挟んで重なる第1nチャネル型TFT及びLDD領域の一部がゲート電極とゲート絶縁膜を挟んで重

る第2nチャネル型TFTが含まれ、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする。勿論、画素部の保持容量を有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成しても良い。

【0020】なお、上記構成において、前記駆動回路のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて好ましくは2~10倍の濃度でn型不純物元素を含ませておけば良い。また、前記第1のnチャネル型TFTはチャネル形成領域の片側（好ましくはドレイン側）にLDD領域を配置し、前記第2のnチャネル型TFTはチャネル形成領域の両側（チャネル形成領域を挟んだ両側）にLDD領域を配置しても良い。

【0021】また、上記構成において、前記第2配線の抵抗率は前記第1配線の抵抗率の $1/10 \sim 1/100$ 倍とすることが好ましい。具体的には、前記第1配線の抵抗率は $10 \sim 500 \mu\Omega \text{cm}$ とし、前記第2配線の抵抗率は $0.1 \sim 10 \mu\Omega \text{cm}$ とすれば良い。

【0022】そのような条件を満たすには、第1配線としてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線を用い、第2配線としてアルミニウム、銅もしくは銀を含む配線を用いれば良い。

【0023】なお、本明細書においてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線とは、タンタル配線、チタン配線、モリブデン配線、タングステン配線、クロム配線、ニオブ配線、シリコン配線、窒化タンタル配線、窒化チタン配線、窒化モリブデン配線、窒化タングステン配線、窒化ニオブ配線またはタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンのいずれか二つ以上の元素を含む合金からなる配線を指す。また、これらの配線を積層した配線も含まれる。

【0024】また、本明細書においてアルミニウム、銅もしくは銀を含む配線とは、アルミニウム配線、銅配線、銀配線またはアルミニウム、銅もしくは銀のいずれか二つ以上の元素を含む合金からなる配線を指す。また、これらの配線を積層した配線も含まれる。

【0025】また、上記構成にあるように、本願発明は画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを大きな特徴としている。このような配線はあらゆる配線として用いることが可能であるが、大きな電流を流す必要のある配線に用いることが好ましい。

【0026】特に駆動回路へ電気信号を伝送する配線

（以下、入出力信号配線という）もしくはゲート配線に用いることは有効である。入出力信号配線としては、クロック信号、スタートパルス信号もしくはビデオ信号を伝送する配線がある。

【0027】即ち、画素TFTのゲート電極（前記nチャネル型TFTのゲート電極も同様）と同一層で且つ同一材料からなる（即ち同時に形成される）第1配線でまず入出力信号配線やゲート配線（ゲート電極を含む）を形成する。そして、ソース領域やドレイン領域の活性化が終了した後で、前記第1配線の上に該第1配線よりも抵抗率の低い第2配線を積層し、低抵抗な配線を形成する。

【0028】この時、第2配線を積層する部分は、微細加工を必要とせず、できるだけ低抵抗であることを要する部分であることが好ましい。即ち、ゲート電極や駆動回路内部の配線など微細加工を必要とする部分は第1配線で形成し、微細加工を必要としない部分を第1配線と第2配線とを積層した配線とすると良い。

【0029】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0030】[実施例1]本発明の実施例について図1~図4を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ、バッファ等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0031】図1(A)において、基板100には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板（プラスチックフィルムを含む）を用いることも可能である。

【0032】そして、基板100のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜（本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す）からなる下地膜101をプラズマCVD法やスパッタ法で $100 \sim 400 \text{nm}$ の厚さに形成する。

【0033】なお、本明細書中において窒化酸化シリコン膜とは $\text{SiOxNy}$ で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。本実施例では、下地膜101として、窒素を $20 \sim 50 \text{atomic}\%$

（典型的には $20 \sim 30 \text{atomic}\%$ ）で含む $100 \text{nm}$ 厚の窒化酸化シリコン膜と、窒素を $1 \sim 20 \text{atomic}\%$ （典型的には $5 \sim 10 \text{atomic}\%$ ）で含む $200 \text{nm}$ 厚の窒化酸化シリコン膜との積層膜を用いる。なお、厚さはこの値に限定する必要はない。また、窒化酸化シリコン膜に含まれる窒素と酸素の含有比（atomic%比）は $3:1 \sim$

1:3 (典型的には1:1) とすればよい。また、窒化酸化シリコン膜は、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ と $\text{NH}_3$ を原料ガスとして作製すればよい。

【0034】なお、この下地膜101は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0035】次に下地膜101の上に30~120nm (好ましくは50~70nm)の厚さの、非晶質構造を含む半導体膜 (本実施例では非晶質シリコン膜 (図示せず)) を公知の成膜法で形成する。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。また、上記膜厚で形成しておけば、最終的にTFTが完成した時点の活性層の膜厚は10~100nm (好ましくは30~50nm) となる。

【0036】そして、特開平7-130652号公報 (USP5, 643, 826号に対応) に記載された技術に従って、結晶構造を含む半導体膜 (本実施例では結晶質シリコン膜) 102を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長 (促進) する触媒元素 (ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル) を用いる結晶化手段である。

【0037】具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。 (図1 (A))

【0038】非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550℃で数時間加熱して脱水素処理を行い、含有水素量を5atomic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0039】ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気などにさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0040】次に、結晶質シリコン膜102に対してレーザー光源から発する光 (レーザー光) を照射 (以下、レーザーアニールという) して結晶性の改善された結晶

質シリコン膜103を形成する。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形形状であっても構わない。 (図1 (B))

【0041】また、レーザー光の代わりにランプから発する光 (ランプ光) を照射 (以下、ランプアニールという) しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0042】なお、このようにレーザー光またはランプ光により熱処理 (アニール) を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーンズアニール (熱アニールともいう) で代用することもできる。

【0043】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてXeClガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250~500mJ/cm<sup>2</sup> (代表的には350~400mJ/cm<sup>2</sup>) とする。

【0044】上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われる光アニールを第1光アニールと呼ぶことにする。

【0045】次に、結晶質シリコン膜103上に後の不純物添加時のために保護膜104を形成する。保護膜104は100~200nm (好ましくは130~170nm) の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いた。この保護膜104は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするため、微妙な濃度制御を可能にするための意味がある。

【0046】そして、その上にレジストマスク105を形成し、保護膜104を介してp型を付与する不純物元素 (以下、p型不純物元素という) を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャネルドープ工程という) はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン ( $\text{B}_2\text{H}_6$ ) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。勿論、

質量分離を行うイオンインプランテーション法を用いても良い。

【0047】この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup> (代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>) の濃度でp型不純物元素 (本実施例ではボロン) を含む不純物領域106を形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域 (但し、意図的にn型を付与する不純物元素が添加された領域を除く) をp型不純物領域 (b) と定義する。(図1 (C))

【0048】次に、レジストマスク105を除去し、新たにレジストマスク107~110を形成する。そして、n型を付与する不純物元素 (以下、n型不純物元素という) を添加してn型を呈する不純物領域111~113を形成する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図1 (D))

【0049】この低濃度不純物領域111~113は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> (代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>) の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域 (b) と定義する。

【0050】なお、ここではフォスフィン (PH<sub>3</sub>) を質量分離しないでプラズマ励起したイオンドーブ法でリンを $1 \times 10^{18}$  atoms/cm<sup>3</sup> の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜107を介して結晶質シリコン膜にリンを添加する。

【0051】次に、保護膜104を除去し、再びレーザー光の照射工程を行う。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜104をつけたままレーザーアニール工程を行うことも可能である。(図1 (E))

【0052】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてKrFガスをを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を100~300mJ/cm<sup>2</sup> (代表的には150~250mJ/cm<sup>2</sup>) とする。

【0053】上記条件で行われた光アニール工程は、添加されたn型またはp型を付与する不純物元素を活性化

すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を溶融させることなく原子配列の整合性をとり、且つ、不純物元素を活性化することが好ましい。また、本工程は光アニールによりn型またはp型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを同時に行う工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われるアニールを第2光アニールと呼ぶことにする。

【0054】この工程によりn型不純物領域 (b) 111~113の境界部、即ち、n型不純物領域 (b) の周囲に存在する真性な領域 (p型不純物領域 (b) も実質的に真性とみなす) との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0055】なお、このレーザー光による不純物元素の活性化は省略することも可能である。また、ファーンেসアニールによる活性化を代用しても良いし、併用しても構わない。ファーンেসアニールによる活性化を行う場合は、基板の耐熱性を考慮して450~550℃程度の熱処理を行えば良い。

【0056】次に、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜 (以下、活性層という) 114~117を形成する。(図1 (F))

【0057】次に、活性層114~117を覆ってゲート絶縁膜118を形成する。ゲート絶縁膜118は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN<sub>2</sub>OとSiH<sub>4</sub>を原料とした窒化酸化シリコン膜を115nmの厚さに形成する。(図2 (A))

【0058】次に、ゲート配線 (ゲート電極を含む) や入出力信号配線となる導電膜を形成する。なお、この導電膜は単層で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜119と第2導電膜120とでなる積層膜を形成する。(図2 (B))

【0059】ここで第1導電膜119、第2導電膜120としては、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、ニオブ (Nb)、シリコン (Si) から選ばれた元素を含む金属膜、または前記元素を主成分とする金属化合物膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜)、若しくはそれらの薄膜を積層した積層膜を用いることができる。

【0060】なお、第1導電膜119は10~50nm

(好ましくは20~30nm)とし、第2導電膜120は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜119として、50nm厚の窒化タンタル(TaN)膜を、第2導電膜120として、350nm厚のタンタル(Ta)膜を用いる。

【0061】このほか、窒化タングステン膜とタングステン膜との積層膜、窒化タンタル膜のみの単層膜、タングステンシリサイド膜も好適である。また、第1導電膜119の下にシリコン膜を2~20nm程度の厚さで形成する構造(ポリサイド構造)とすると、シリコン膜上に形成された導電膜の密着性を向上させると同時に、導電膜の酸化を抑制することができる。

【0062】また、本実施例のように第2導電膜120として金属膜を用いた場合、その表面をアンモニアガスまたは窒素ガスを用いたプラズマ雰囲気中に曝すことで窒化することも有効である。こうすることで、金属膜表面の酸化を抑制することが可能である。

【0063】次に、第1導電膜119と第2導電膜120とを一括でエッチングして400nm厚のゲート電極121~124、後に入出力信号配線となる第1配線11及び後にゲート配線となる第1配線12を形成する。この時、駆動回路のnチャネル型TFTのゲート電極122、123はn型不純物領域(b)111~113の一部とゲート絶縁膜を挟んで重なるように形成する。この重なった部分が後にLov領域となる。なお、ゲート電極124は断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。(図2

(C))

【0064】なお、本明細書中ではゲート電極と同一層で且つ同一材料からなる配線を総称して第1配線と呼ぶ。また、本明細書中において入出力信号配線とは、FPC(フレキシブルプリントサーキット)等の外部入出力端子(以下、端子という)から電気光学装置の駆動回路に伝送される制御信号(スタートパルス信号、クロック信号など)、画像信号などの各種信号を伝送する入力信号配線又は出力信号配線の総称である。

【0065】また、本明細書中では説明の都合によりゲート電極とゲート配線とを区別して記載する場合もあるが、ゲート配線が活性層と重なる部分を特にゲート電極と呼んでいる。従って、ゲート電極をゲート配線と呼んでも何ら差し支えない。

【0066】次に、ゲート電極121~124、第1配線11、12をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域125~130には前記n型不純物領域(b)の1/2~1/10(代表的には1/3~1/4)の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>、典型的には $3 \times 1$

$0^{17} \sim 3 \times 10^{18}$  atoms/cm<sup>3</sup>、)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図2(D))

【0067】なお、この工程ではゲート配線で隠された部分を除いて全てのn型不純物領域(b)にも $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度でリンが添加されているが、非常に低濃度であるためn型不純物領域(b)としての機能には影響を与えない。また、n型不純物領域(b)127~130には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0068】但し、厳密にはn型不純物領域(b)111~113のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0069】次に、ゲート電極121~124、第1配線11、12をマスクとして自己整合的にゲート絶縁膜118をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF<sub>3</sub>ガスを用いる。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜131~134が形成される。(図2(E))

【0070】このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なく済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0071】次に、ゲート配線を覆う形でレジストマスク135~138を形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域139~147を形成する。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>)とする。(図3(A))

【0072】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域139~147が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域

139~147はn型不純物領域(a)と言い換えても構わない。

【0073】次に、レジストマスク135~139を除去し、新たにレジストマスク148を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域149、150を形成する。ここではジボラン( $B_2H_6$ )を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(B))

【0074】なお、不純物領域149、150の一部(前述のn型不純物領域(a)139、140)には既に $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。従って、本明細書中では不純物領域149、150をp型不純物領域(a)と言い換えても構わない。

【0075】次に、レジストマスク148を除去した後、保護膜151を形成する。保護膜151としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は20~200nm(好ましくは30~150nm)とすれば良い。本実施例では50nm厚の窒化シリコン膜を用いる。この保護膜は次に行われる熱処理工程(活性化工程)において、第1配線11、12、ゲート電極121~124が酸化されて抵抗値が増加するのを防ぐ効果を有する。

【0076】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーンズアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例ではファーンズアニール法で活性化工程を行う。加熱処理は、窒素雰囲気中において300~650℃で3~12時間、典型的には400~550℃で4~6時間、ここでは550℃、4時間の熱処理を行う。(図3(C))

【0077】この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図3(A)の工程で形成された高濃度にリンを含む領域に捕獲(ゲッタリング)される。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域152~156は前記触媒元素の濃度が $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下(好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以下)となる。

【0078】また逆に、触媒元素のゲッタリングサイトとなった領域(図3(A)の工程で不純物領域139~147が形成された領域)は高濃度に触媒元素が偏析して $5 \times 10^{18}$  atoms/cm<sup>3</sup>以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>)濃度で存在する。

【0079】次に、3~100%の水素を含む雰囲気中で、300~550℃で1~6時間(本実施例では350℃2時間)の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0080】活性化工程を終えたら保護膜151を選択的に除去する。この時、第1配線(ゲート電極を含む)、ゲート絶縁膜、活性層などが保護膜151の除去と同時に除去されてしまわないように注意する必要がある。本実施例では保護膜151として窒化シリコン膜を用いているので、フッ酸溶液とフッ化アンモニウム溶液とを混合したエッチャントを用い、ウェットエッチング法により容易に除去することができる。なお、除去が容易な保護膜として、溶液を塗布して形成する酸化シリコン膜を用いることも有効である。

【0081】なお、本実施例では保護膜151を設けた状態で活性化工程を行っているが、保護膜を設けない状態で活性化工程を行っても良い。その場合、ゲート電極121~124、第1配線11または第1配線12の表面に酸化物が形成されないように熱処理雰囲気中の酸素濃度を極力低減しておくことが好ましい。具体的には酸素濃度を1ppm以下、好ましくは0.1ppm以下とする。このようにすれば次の保護膜151の除去工程を省略することができる。

【0082】保護膜151を除去したら、アルミニウムまたはアルミニウムを主成分とする膜(以下、アルミニウム系薄膜という)を形成し、第1配線よりも抵抗率の低い第2配線13、14を形成する。本実施例では、アルミニウム系薄膜として2wt%のシリコンを含有したアルミニウム膜を用い、第2配線13は入出力信号配線となる第1配線11の上に形成し、第2配線14はゲート配線となる第1配線12の上に形成する。なお、第2配線13、14は第1配線11、12の線幅よりも0~2μm内側に形成することが望ましい。(図3(D))

【0083】次に、500nm~1.5μm厚の第1層間絶縁膜157を形成する。本実施例では第1層間絶縁膜157として1μm厚の酸化シリコン膜をプラズマCVD法により形成する。勿論、窒化シリコン膜と酸化シリコン膜との積層膜など珪素を含む絶縁膜を組み合わせる積層構造としても良い。また、第1層間絶縁膜157として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂膜を用いることも可能である。

【0084】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線158~161と、ドレイン配線162~165を形成する。なお、図示されていないがCMOS回路を形成するためにドレイン配線162、163は同一配線として接続されている。また、図示していないが、本実施例ではこの電極を、チタン膜を100nm、シリコンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。なお、ソース配線もしくはドレイン配線として銅配線と窒化チタン配線とを積層しても良い。(図4(A))

【0085】次に、パッシベーション膜166として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm(代表的には200~300nm)の厚さで形成する。この時、本実施例では膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行うと良い。この前処理により励起された水素が第1層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜166の膜質を改善するとともに、第1層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0086】また、パッシベーション膜166を形成した後に、さらに水素化工程を行っても良い。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜166に開口部を形成しておいても良い。

【0087】その後、有機樹脂からなる第2層間絶縁膜167を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0088】また、第2層間絶縁膜167の一部の層として、顔料等で着色した樹脂膜を設け、カラーフィルターとして用いることも可能である。

【0089】次に、画素部となる領域において、第2層間絶縁膜167上に遮蔽膜168を形成する。なお、本明細書中では光または電磁波を遮るという意味で遮蔽膜という文言を用いている。遮蔽膜168はアルミニウム(AI)、チタン(Ti)、タンタル(Ta)、クロム

(Cr)、タングステン(W)から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100~300nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。

【0090】なお、第2層間絶縁膜167上に酸化シリコン膜等の絶縁膜を5~50nm形成しておくと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成された第2層間絶縁膜167の表面にCF<sub>4</sub>ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0091】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成しても良い。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第2層間絶縁膜167にコンタクトホールを形成しておく必要がある。

【0092】次に、遮蔽膜168の表面に陽極酸化法またはプラズマ酸化法(本実施例では陽極酸化法)により20~100nm(好ましくは30~50nm)の厚さの酸化物169を形成する。本実施例では遮蔽膜168としてアルミニウムを主成分とする膜を用いるため、陽極酸化物169として酸化アルミニウム膜(アルミナ膜)が形成される。

【0093】この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜168が形成されている基板を溶液に浸し、遮蔽膜168を陽極として、一定(数mA~数十mA)の直流電流を流す。

【0094】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させる。このようにして遮蔽膜168の表面には厚さ約50nmの陽極酸化物169を形成することができる。また、その結果、遮蔽膜168の膜厚は90nmとなる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。

【0095】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20~100nm(好ましくは30~50nm)とすることが好

ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC (Diamond like carbon) 膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0096】次に、第2層間絶縁膜167、パッシベーション膜166にドレイン配線165に達するコンタクトホールを形成し、画素電極170を形成する。なお、画素電極171は画素電極170に隣接する別の画素の画素電極である。画素電極170、171は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物膜(ITO膜と呼ばれる)を110nmの厚さにスパッタ法で形成する。

【0097】また、この時、画素電極170と遮蔽膜168とが陽極酸化物169を介して重なり、保持容量(キャパシタンス・ストレージ)172を形成する。なお、この場合、遮蔽膜168をフローティング状態(電気的に孤立した状態)か固定電位、好ましくはコモン電位(データとして送られる画像信号の中間電位)に設定しておくことが望ましい。

【0098】こうして同一基板上に、駆動回路と画素部とを有したアクティブマトリクス基板が完成する。なお、図4(B)においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT302、303が形成され、画素部にはnチャネル型TFTでなる画素TFT304が形成される。

【0099】なお、本実施例の工程順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの構造が図4(B)のような構造であればアクティブマトリクス基板の基本的な機能は変化せず、本発明の効果を損なうものではない。

【0100】駆動回路のpチャネル型TFT301には、チャネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域(a)で形成される。但し、実際にはソース領域またはドレイン領域の一部に $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度でリンを含む領域が存在する。また、その領域には図3

(B)の工程でゲッタリングされた触媒元素が $5 \times 10^{18}$  atoms/cm<sup>3</sup>以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>)濃度で存在する。

【0101】また、nチャネル型TFT302には、チャネル形成領域204、ソース領域205、ドレイン領域206、そしてチャネル形成領域の片側(ドレイン領域側)に、ゲート絶縁膜を挟んでゲート電極と重なった領域(本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。)207が形成される。この時、Lov領域207は $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度でリンを含み、且つ、ゲート電極と全部重なるように形成される。

【0102】また、図4(B)ではできるだけ抵抗成分を減らすためにチャネル形成領域204の片側のみ(ドレイン領域側のみ)にLov領域を配置しているが、チャネル形成領域204を挟んで両側に配置しても良い。

【0103】また、nチャネル型TFT303には、チャネル形成領域208、ソース領域209、ドレイン領域210、そしてチャネル形成領域の両側にLDD領域211、212が形成される。なお、この構造ではLDD領域211、212の一部がゲート電極と重なるように配置されたために、ゲート絶縁膜を挟んでゲート電極と重なった領域(Lov領域)と、ゲート絶縁膜を挟んでゲート電極と重ならない領域(本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。)が実現されている。

【0104】ここで図6に示す断面図は図4(B)に示したnチャネル型TFT303を図3(C)の工程まで作製した状態を示す拡大図である。ここに示すように、LDD領域211はさらにLov領域211a、Loff領域211bに区別できる。また、前述のLov領域211aには $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度でリンが含まれるが、Loff領域211bはその1~2倍(代表的には1.2~1.5倍)の濃度でリンが含まれる。

【0105】また、画素TFT304には、チャネル形成領域213、214、ソース領域215、ドレイン領域216、Loff領域217~220、Loff領域218、219に接したn型不純物領域(a)221が形成される。この時、ソース領域215、ドレイン領域216はそれぞれn型不純物領域(a)で形成され、Loff領域217~220はn型不純物領域(c)で形成される。

【0106】本実施例では、画素部および駆動回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現しうる。

【0107】例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT302は高速動作を重視するシフトレジスタ、分周波回路(信号分割回路)、レベルシフト、バッファなどの駆動回路に適している。即ち、チャネル形成領域の片側(ドレイン領域側)のみにLov領域を配置することで、できるだけ抵抗成分を低減させつつホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ソース領域とドレイン領域の機能が変わらず、キャリア(ここでは電子)の移動する方向が一定だからである。但し、必要に応じてチャネル形成領域の両側にLov領域を配置することもでき

る。

【0108】また、 $n$ チャネル型TFT303はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（トランスファゲートともいう）に適している。即ち、 $Lov$ 領域を配置することでホットキャリア対策とし、さらに $Loff$ 領域を配置することで低オフ電流動作を実現した。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が $180^\circ$ 変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によっては $Lov$ 領域のみとすることもありうる。

【0109】また、 $n$ チャネル型TFT304は低オフ電流動作を重視した画素部、サンプリング回路（サンプルホールド回路）に適している。即ち、オフ電流値を増加させる要因となりうる $Lov$ 領域を配置せず、 $Loff$ 領域のみを配置することで低オフ電流動作を実現している。また、駆動回路のLDD領域よりも低い濃度のLDD領域を $Loff$ 領域として用いることで、多少オン電流値を犠牲にしても徹底的にオフ電流値を低減する対策を打っている。さらに、 $n$ 型不純物領域（a）221はオフ電流値を低減する上で非常に有効であることが確認されている。

【0110】また、チャネル長 $3\sim 7\mu m$ に対して $n$ チャネル型TFT302の $Lov$ 領域207の長さ（幅）は $0.1\sim 3.0\mu m$ 、代表的には $0.2\sim 1.5\mu m$ とすれば良い。また、 $n$ チャネル型TFT303の $Lov$ 領域211a、212aの長さ（幅）は $0.1\sim 3.0\mu m$ 、代表的には $0.2\sim 1.5\mu m$ 、 $Loff$ 領域211b、212bの長さ（幅）は $1.0\sim 3.5\mu m$ 、代表的には $1.5\sim 2.0\mu m$ とすれば良い。また、画素TFT304に設けられる $Loff$ 領域217～220の長さ（幅）は $0.5\sim 3.5\mu m$ 、代表的には $2.0\sim 2.5\mu m$ とすれば良い。

【0111】また、本実施例のアクティブマトリクス基板には、第1配線11とアルミニウム膜からなる第2配線13との積層構造でなる入出力信号配線305、第1配線12と第2配線14との積層構造でなるゲート配線306が形成される。ここで、このような積層構造を用いる理由について以下に述べる。

【0112】入出力信号配線やゲート配線などのように、長い距離にわたって形成されるような配線は低抵抗であることが求められる。特に、対角4インチ以上のアクティブマトリクス基板を作製する場合には、このような長い配線の抵抗成分が回路設計に大きく影響する。従って、アクティブマトリクス基板内に形成する配線の抵抗は可能な限り低いことが望まれる。

【0113】そこで本実施例では、第1配線11、12のように抵抗率が $1.0\sim 500\mu\Omega cm$ 程度の配線に対して、第2配線13、14のように抵抗率が $0.1\sim 10\mu\Omega cm$ の配線を積層することで配線抵抗を低減する

工夫がなされている。即ち、抵抗率が $10\sim 500\mu\Omega cm$ （典型的には $10\sim 30\mu\Omega cm$ ）である第1配線に対して、抵抗率が $0.1\sim 10\mu\Omega cm$ （典型的には $1\sim 5\mu\Omega cm$ ）である第2配線を積層した積層配線とする。この時、第2配線の抵抗率は第1配線の抵抗率の $1/10\sim 1/100$ 倍であることが好ましい。

【0114】但し、本実施例ではそのような構造を入出力信号配線やゲート配線の一部といった特定の部分に用いている点に特徴がある。上記のような積層構造を用いた配線は、パターンニング精度の問題で $6\sim 8\mu m$ といったように比較的配線幅が広がってしまう恐れがある。その場合、微細加工を要するゲート電極や高密度に集積化された駆動回路内部の接続配線としては不适当である。

【0115】また、駆動回路内部においてTFT同士を接続する短い配線やゲート電極などは配線抵抗をさほど気にしなくて良いので、上記第1配線のみでも十分に機能させることができる。即ち、上記積層構造でなる配線は微細加工を要しない配線に用いるのが好ましく、微細加工を要する配線には多少抵抗率を犠牲にしても微細加工が可能な第1配線のみを用いることが好ましい。

【0116】本実施例において、上記積層構造でなる配線を入出力信号配線305とゲート配線（ゲート電極として機能する領域を除く）306とに用いたのは以上のような理由による。勿論、駆動回路内部の配線やゲート電極であっても、上記積層構造を用いることが可能であれば（そのような微細加工が可能であれば）何ら問題なく用いることができる。

【0117】また、 $p$ チャネル型TFT301は自己整合（セルフアライン）的に形成され、 $n$ チャネル型TFT302～304は非自己整合（ノンセルフアライン）的に形成されている点も本発明の特徴の一つである。

【0118】また、本実施例のように保持容量の誘電体として比誘電率が7～9と高いアルミナ膜を用いることで、必要な容量を形成するための保持容量の占有面積を少なくすることが可能である。さらに、本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0119】なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願や特願平10-254097号出願に記載された保持容量の構造を用いることもできる。

【0120】[実施例2]本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図5に示すように、図4

(B)の状態の基板に対し、配向膜401を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板402には、透明導電膜からなる対向電極

403と、配向膜404とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0121】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材、スペーサ、パターニングによって設けられた樹脂膜（図示せず）などを介して貼りあわせる。その後、両基板の間に液晶405を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。

【0122】次に、このアクティブマトリクス型液晶表示装置の構成を、図7の斜視図を用いて説明する。尚、図7は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、基板100上に形成された画素部701と、走査（ゲート）信号駆動回路702と、画像（ソース）信号駆動回路703で構成される。画素部の画素TFT304はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路702と、画像信号駆動回路703はそれぞれゲート配線306とソース配線161で画素部701に接続されている。また、FPC704が接続された端子705と駆動回路とが入出力信号配線305によって電気的に接続されている。

【0123】【実施例3】図8は、実施例2で示したアクティブマトリクス基板の回路構成の一例を示す。本実施例のアクティブマトリクス基板は、画像信号駆動回路801、走査信号駆動回路（A）807、走査信号駆動回路（B）811、プリチャージ回路812、画素部806を有している。なお、本明細書中において、駆動回路とは画像信号駆動回路801および走査信号駆動回路807を含めた総称である。

【0124】画像信号駆動回路801は、シフトレジスタ802、レベルシフト803、バッファ804、サンプリング回路805を備えている。また、走査信号駆動回路（A）807は、シフトレジスタ808、レベルシフト809、バッファ810を備えている。走査信号駆動回路（B）811も同様な構成である。

【0125】ここでシフトレジスタ802、808は駆動電圧が5～16V（代表的には10V）であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図4（B）の302で示される構造が適している。

【0126】また、レベルシフト803、809、バッファ804、810は、駆動電圧は14～16Vと高くなるが、シフトレジスタと同様に、図4（B）のnチャネル型TFT302を含むCMOS回路が適している。

なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0127】また、サンプリング回路805は駆動電圧が14～16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図4（B）のnチャネル型TFT303を含むCMOS回路が適している。なお、図4（B）ではnチャネル型TFTしか図示されていないが、実際にサンプリング回路を形成する時はnチャネル型TFTとpチャネル型TFTとを組み合わせて形成することになる。

【0128】また、画素部806は駆動電圧が14～16Vであり、サンプリング回路805よりもさらにオフ電流値が低いことを要求するので、 $L_{ov}$ 領域を配置しない構造とすることが望ましく、図4（B）のnチャネル型TFT304を画素TFTとして用いることが望ましい。

【0129】なお、本実施例の構成は、実施例1に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、実施例1の作製工程に従えば、その他にも分周波回路（信号分割回路）、D/Aコンバータ回路、オペアンプ回路、 $\gamma$ 補正回路、さらにはメモリやマイクロプロセッサなどの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

【0130】このように本発明は、同一基板上に画素部及び画素部を制御するための駆動回路を含む電気光学装置、例えば同一基板上に駆動回路及び画素部を具備した電気光学装置を実現しうる。

【0131】【実施例4】本実施例では、実施例1の作製工程に従って作製される画素部の画素構造について図9を用いて説明する。なお、本実施例では全てダブルゲート構造の画素TFTを例示しているが、トリプルゲート構造などの他のマルチゲート構造としても良いし、シングルゲート構造としても良い。

【0132】まず、図9（A）において、901は活性層、902は第1配線902aと第2配線902bとでなるゲート配線、903は第1配線902aのみで形成されるゲート電極、904はソース配線である。

【0133】次に、図9（B）において、905は活性層、906は第1配線906aと第2配線906bとでなるゲート配線、907は第1配線906aのみで形成されるゲート電極、908はソース配線である。

【0134】次に、図9（C）において、909は活性層、910は第1配線910aと第2配線910bとでなるゲート配線、911は第1配線910aのみで形成されるゲート電極、912はソース配線である。

【0135】次に、図9（D）において、913は活性層、914は第1配線914aと第2配線914bとでな

るゲート配線、915は第1配線914aのみで形成されるゲート電極、916はソース配線である。

【0136】以上のように、どのような画素構造に対しても本願発明の構造を用いることは可能である。なお、本実施例の構成は、実施例1に従って実現可能であり、実施例2、3のいずれの構成に組み合わせても良い。

【0137】【実施例5】本実施例では、実施例1の作製工程に従って作製される画素部の画素構造について図10を用いて説明する。なお、本実施例ではトリプルゲート構造の画素TFTを例示しているが、ダブルゲート構造やシングルゲート構造としても良いことは言うまでもない。

【0138】図10(A)に示す上面図をA-A'に沿って切断した断面図が図10(B)に対応する。図10(A)において、21は活性層、22は第1配線22aと第2配線22bとでなるゲート配線、23は第1配線22aのみで形成されるゲート電極(三つのゲート電極のうち一つのみに符号を付してある)、24は第1配線24aと第2配線24bとでなる容量配線である。

【0139】容量配線を形成する第1配線24aは、一部で活性層21と大きく重なるように形成されている。第1配線24aと活性層21との間にはゲート絶縁膜と同時に形成された(同一層で且つ同一材料からなる)絶縁膜(保持容量の誘電体)33が存在し、保持容量25が形成されている。

【0140】また、26はソース配線、27はドレイン配線、28はソース配線と活性層とのコンタクト部、29はドレイン配線と活性層とのコンタクト部、30は画素電極(本実施例では透明導電膜)、31は画素電極とドレイン配線とのコンタクト部、32は画像表示領域である。

【0141】本実施例では、入出力信号配線やゲート配線に用いる第1配線と第2配線とが積層された配線を容量配線としても用いている点に特徴がある。こうすることにより容量配線の電位をより安定化させることが可能となり、液晶表示装置の場合には階調表示の正確な表現が可能となる。

【0142】なお、本実施例の構造は実施例1に従って実現可能であり、実施例2~4のいずれの構成とも自由に組み合わせることができる。

【0143】【実施例6】本実施例では、実施例1とは異なる構造の画素部を有するアクティブマトリクス型液晶表示装置について図11を用いて説明する。なお、基本的な構造は図5と同じであるので異なる部分のみに注目して説明する。

【0144】図11の構造では画素部を形成する画素TFT(nチャネル型TFT)310の構造が実施例1と異なる。具体的には、本実施例の場合、チャネル形成領域41、42とn型不純物領域(c)でなるLDD領域(Loff領域)43~46との間に、オフセット領域4

7~50が形成されている点で異なる。

【0145】なお、オフセット領域とは、47~50で示されるようにチャネル形成領域と同一組成の半導体層(含まれる不純物元素がチャネル形成領域と同一であるという意味)で、ゲート電極と重ならない領域を指す。このオフセット領域47~50は単なる抵抗として機能し、オフ電流値を低減する上で非常に効果がある。

【0146】このような構造を実現するには、例えば実施例1の図2(D)の工程においてn型不純物元素を添加する前に、厚さ20~200nm(好ましくは25~150nm)の珪素を含む絶縁膜を、ゲート配線等を覆って形成しておけば良い。

【0147】こうすることでゲート電極124の側壁に珪素を含む絶縁膜が形成された状態で不純物元素が添加されるので、その部分がマスクとなってオフセット領域が形成される。従って、こうして形成されるオフセット領域の長さは前記珪素を含む絶縁膜の膜厚にほぼ一致し、20~200nm(好ましくは25~150nm)となる。

【0148】この珪素を含む絶縁膜は実施例1で既に説明しているが、本実施例の場合にはゲート絶縁膜の材料と同一のものをを用いることが好ましい。そうすると、図2(E)の工程でゲート絶縁膜と同時に除去することができる。

【0149】なお、本実施例の構造は実施例1の工程の一部を変更することで実現可能であり、実施例2~5のいずれの構成とも自由に組み合わせることができる。

【0150】【実施例7】本実施例では、実施例1と異なる作製工程によってアクティブマトリクス基板を作製する場合について、図12を用いて説明する。

【0151】まず、実施例1の工程に従って図3(C)の工程までを行う。但し、実施例1では保護膜として50nmの窒化シリコン膜を用いたが、本実施例では300nm厚の窒化酸化シリコン膜51を用いる。(図12(A))

【0152】次に、入出力信号配線となる第1配線11、ゲート配線となる第1配線12の上において窒化酸化シリコン膜51にコンタクトホールを開け、アルミニウムを主成分とする膜(本実施例では2wt%のシリコンを添加したアルミニウム膜)でなる低抵抗な第2配線53、54を形成する。(図12(B))

【0153】こうして同一基板上に、駆動回路と画素部とを有した図12(C)のような構造のアクティブマトリクス基板が完成する。なお、図12(C)においては、駆動回路にはpチャネル型TFT320、nチャネル型TFT321、322が形成され、画素部にはnチャネル型TFTでなる画素TFT323が形成される。また、入出力信号配線324、ゲート配線325が形成される。

【0154】これらのTFT320~323、入出力信

号配線324及びゲート配線325の機能に関しては、実施例1で説明した通りであるので、ここでの説明は省略する。実施例1の図4(B)に示したアクティブマトリクス基板と異なる点は保護膜51が残存している点と、入出力信号配線324とゲート配線325の構造が異なる点のみである。従って、機能及び効果については、実施例1と同様のものを得ることができる。

【0155】なお、実施例2と組み合わせることでアクティブマトリクス型液晶表示装置が完成することは言うまでもなく、実施例3～6のいずれの構成とも自由に組み合わせることが可能である。

【0156】【実施例8】実施例1に示した構成において、第2配線としていかなる低抵抗材料を用いても良い。具体的には、実施例1に示したアルミニウムまたはアルミニウムを主成分とする膜（アルミニウム系薄膜）以外に、銅または銅を主成分とする膜（以下、銅系薄膜という）、銀または銀を主成分とする膜（以下、銀系薄膜という）、或いはそれらを組み合わせた積層膜を用いることが可能である。

【0157】さらに、上記アルミニウム系薄膜、銅系薄膜または銀系薄膜に対して、チタン、窒化チタン、タンタル、窒化タンタル、タングステン、窒化タングステン、モリブデン、ニオブ等の材料で形成された膜を積層しても良い。積層する順序は上でも下でも良く、上記第2配線を挟む構造としても良い。これらの膜は特に第2配線としてアルミニウム系薄膜を用いる場合に有効であり、ヒロック等の発生を防止することができる。

【0158】また、上記アルミニウム系薄膜、銅系薄膜または銀系薄膜は非常に酸化されやすく絶縁不良の起こしやすい材料である。そのため、上記チタン等の薄膜を第2配線の上表面に積層しておくことで、他の配線との電氣的接触を確保しやすくなることができる。

【0159】なお、本実施例の構成は実施例1以外にも、実施例2～7のいずれの構成とも自由に組み合わせることが可能である。

【0160】【実施例9】実施例1では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0161】熱結晶化による場合、非晶質構造を含む半導体膜を形成した後、600～650℃の温度で15～24時間の熱処理工程を行えば良い。即ち、600℃を超える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0162】また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、実施例1に示した第

1アニール条件でレーザーアニール工程を行えば良い。これにより短時間で結晶構造を含む半導体膜を形成することができる。勿論、レーザーアニールの代わりにランブアニールを行っても良い。

【0163】以上のように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。なお、本実施例の構成は実施例1～8の構成と自由に組み合わせることが可能である。

【0164】【実施例10】本実施例では、実施例1とは異なる作製工程でアクティブマトリクス基板を作製する場合について説明する。

【0165】実施例1では、特開平7-130652号公報に記載された技術を用いて結晶化工程を行い、ソース領域及びドレイン領域の活性化と同時に、結晶化に用いた触媒元素をソース領域及びドレイン領域中へゲッターリングする技術を用いた。

【0166】しかし他の方法として、結晶化工程からゲッターリング工程までの工程の特開平10-270363号公報（米国出願番号09/050,182に対応）を用いることも可能である。同公報に記載の技術の場合、触媒元素を用いて結晶化工程を行った後に、周期表の15族に属する元素（代表的にはリン）を含む領域を選択的に形成してそこに触媒元素をゲッターリングする。

【0167】また、他の方法として、結晶化工程からゲッターリング工程までの工程の特開平10-247735号公報（米国出願番号09/034,041に対応）を用いることも可能である。

【0168】以上のように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。なお、本実施例の構成は実施例1～8の構成と自由に組み合わせることが可能である。

【0169】【実施例11】本発明では図10に示すようにゲート配線や容量配線を第1配線と第2配線とを積層した構造とすることで配線抵抗を低減している。ここで第1配線としてTa<sub>2</sub>N<sub>5</sub>/Ta膜（Ta<sub>2</sub>N膜とTa膜との積層膜）もしくはW膜を用いる場合と、それらに第2配線としてAl-Nd（ネオジウムを添加したアルミニウム膜）膜を積層した場合とについて調べた結果を表1に示す。

【0170】なお、第1配線と第2配線とを積層するに際し、本実施例では第1配線を形成した後、酸素が1ppm以下の窒素雰囲気中にて500℃4時間の熱処理を行い、そして第1配線上に第2の配線を積層してシート抵抗値を測定した。

【0171】

【表1】

金属材料	膜厚 (nm)	シート抵抗値 ( $\Omega/\square$ )
TaN/Ta	50/350	1.58
W	400	0.36
Al-Nd	250	0.19
TaN/Ta+Al-Nd	50/350+250	0.16
W+Al-Nd	400+250	0.12

【0172】表1に示すように、TaN/Ta膜を単層で用いた場合シート抵抗値は1.58  $\Omega/\square$ であるが、Al-Nd膜を積層することで0.16  $\Omega/\square$ にまでシート抵抗値が下がった。さらに、このことは第1配線を露呈させた状態で加熱処理を行っても良好な電氣的接続がなされていることを意味している。

【0173】【実施例12】図22は実施例1に従って作製されたnチャネル型TFT302のドレイン電流(ID)とゲート電圧(VG)との関係を表すグラフ(以下、ID-VG曲線という)及び電界効果移動度( $\mu_{FE}$ )のグラフである。このとき、ソース電圧(VS)は0V、ドレイン電圧(VD)は1Vまたは14Vとした。なお、実測値はチャネル長(L)が7.2  $\mu\text{m}$ 、チャネル幅(W)が8.0  $\mu\text{m}$ 、ゲート絶縁膜の膜厚(Tox)が115nmであった。

【0174】図22において、太線はストレス試験前、点線はストレス試験後のID-VG曲線および電界効果移動度を示しているが、ストレス試験前後で曲線に殆ど変化はなく、ホットキャリア劣化が抑制されていることが判った。なお、ここで行ったストレス試験は、室温にてソース電圧0V、ドレイン電圧20V、ゲート電圧4Vをかけた状態で60秒保持する試験であり、ホットキャリア劣化を促進させる試験である。

【0175】【実施例13】本発明の構成は、従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際にも実施することが可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0176】なお、本実施例の構成は、実施例1~10のいずれの構成とも自由に組み合わせることが可能である。

【0177】【実施例14】本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC (ポリマー分散型液晶)、FLC (強誘電性液晶)、AFLC (反強誘電性液晶)、またはFLCとAFLCの混合物(反強誘電性混合液晶)が挙げられる。

【0178】例えば、「H.Furue et al.; Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、

「T.Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、 「S.Inui et al.; Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J. Mater. Chem. 6(4), 1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0179】特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しき値反強誘電性混合液晶(Thresholdless Antiferroelectric LCD: TL-AFLCと略記する)にはV字型(またはU字型)の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1  $\mu\text{m}$ ~2  $\mu\text{m}$ )のものも見出されている。そのため、画素部用の電源電圧が5~8V程度で済む場合があり、駆動回路と画素部を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

【0180】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0181】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。そういった意味で実施例1の図4(B)で示した保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

【0182】なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0183】また、本実施例の構成は、実施例1~10もしくは13のいずれの構成とも自由に組み合わせることが可能である。

【0184】【実施例15】本願発明はアクティブマトリクス型EL (エレクトロルミネッセンス) ディスプレ

イ（アクティブマトリクス型EL表示装置ともいう）に適用することも可能である。その例を図13に示す。

【0185】図13は本実施例のアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向（ソース側）駆動回路82、Y方向（ゲート側）駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線（ソース信号線）88a（または88b）、Y方向信号線（ゲート信号線）89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0186】本実施例のアクティブマトリクス型ELディスプレイでは、X方向制御回路82及びY方向制御回路83を図4（B）のpチャネル型TFT301並びにnチャネル型TFT302もしくは303を組み合わせて形成する。また、スイッチング用TFT84には図4（B）のnチャネル型TFT304を用い、電流制御用TFT86には図4（B）のpチャネル型TFT301を用いる。勿論、TFTの組み合わせはこれに限定する必要はない。

【0187】なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1、4～10もしくは13のいずれの構成を組み合わせても良い。

【0188】【実施例16】本実施例では、本願発明を用いてEL（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図14（A）は本願発明のEL表示装置の上面図であり、図14（B）はその断面図である。

【0189】図14（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0190】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0191】また、図14（B）は図14（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0192】本実施例では、駆動TFT4201には図4（B）のpチャネル型TFT301とnチャネル型TFT302と同じ構造のTFTが用いられ、電流制御用

TFT4202には図4（B）のpチャネル型TFT301と同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0193】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0194】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL（エレクトロルミネセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0195】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0196】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0197】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0198】以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101と、その第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0199】カバー材4102としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、F

RP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0200】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0201】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材4103の内部に吸湿性物質 (好ましくは酸化バリウム) を設けておくとEL素子の劣化を抑制できる。

【0202】また、充填材4103の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0203】また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006から伝え、FPC4006により外部機器と電気的に接続される。

【0204】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図14 (B) の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1、4~11、13のいずれの構成を組み合わせで作製しても構わない。

【0205】ここで画素部のさらに詳細な断面構造を図15に、上面構造を図16 (A) に、回路図を図16 (B) に示す。図15、図16 (A) 及び図16 (B) では共通の符号を用いるので互いに参照すれば良い。

【0206】図15において、基板4401上に設けられたスイッチング用TFT4402は図4 (B) のnチャネル型TFT304を用いて形成される。従って、構造の説明はnチャネル型TFT304の説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電気的に接続するゲート配線である。

【0207】なお、本実施例ではチャネル形成領域が二

つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0208】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続されている。なお、電流制御用TFT4406は図4 (B) のpチャネル型TFT301を用いて形成される。従って、構造の説明はpチャネル型TFT301の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0209】スイッチング用TFT4402及び電流制御用TFT4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0210】また、4410は透明導電膜からなる画素電極 (EL素子の陽極) であり、電流制御用TFT4406のドレイン配線4411に電気的に接続される。画素電極4410としては酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いることができる。

【0211】画素電極4410の上にはEL層4412が形成される。なお、図15では一画素しか図示していないが、本実施例ではR (赤)、G (緑)、B (青) の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン (CuPc) 膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体 (Alq3) 膜を設けた積層構造としている。Alq3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0212】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0213】次に、EL層4412の上には遮光性の導電膜からなる陰極4413が設けられる。本実施例の場合、遮光性の導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0214】この陰極4413まで形成された時点でEL素子4414が完成する。なお、ここでいうEL素子4414は、画素電極（陽極）4410、EL層4412及び陰極4413で形成されたコンデンサを指す。

【0215】次に、本実施例における画素の上面構造を図16(A)を用いて説明する。スイッチング用TFT4402のソース領域はソース配線4415に接続され、ドレインはドレイン配線4405に接続される。また、ドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続される。また、電流制御用TFT4406のソースは電流供給線4416に電気的に接続され、ドレインはドレイン配線4417に電気的に接続される。また、ドレイン配線4417は点線で示される画素電極（陽極）4418に電気的に接続される。

【0216】このとき、4419で示される領域には保持容量が形成される。保持容量4419は、電流供給線4416と電気的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一の層（図示せず）及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0217】なお、本実施例のEL表示装置を作製するにあたって、実施例1、4～10、13もしくは14の構成を自由に組み合わせても良い。

【0218】[実施例17] 本実施例では、実施例16とは異なる画素構造を有したEL表示装置について説明する。説明には図17を用いる。なお、図15と同一の符号が付してある部分については実施例16の説明を参照すれば良い。

【0219】図17では電流制御用TFT4501として図4(B)のnチャネル型TFT302と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極4502はスイッチング用TFT4402のドレイン配線4405に接続されている。また、電流制御用TFT4501のドレイン配線4503は画素電極4504に電気的に接続されている。

【0220】本実施例では、画素電極4504がEL素子の陰極として機能し、遮光性の導電膜を用いて形成する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素から

なる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0221】画素電極4504の上にはEL層4505が形成される。なお、図17では一面素しか図示していないが、本実施例ではG（緑）に対応したEL層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0222】次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0223】この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極（陰極）4504、EL層4505及び陽極4506で形成されたコンデンサを指す。

【0224】このとき、電流制御用TFT4501が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFT4501はEL素子4507を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT4501のドレイン側に、ゲート絶縁膜4508を介してゲート電極4502に重なるようにLDD領域4509を設ける本願発明の構造は極めて有効である。

【0225】また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図16(A)、(B)に示した保持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0226】なお、本実施例のEL表示装置を作製するにあたって、実施例1、4～10、13もしくは14の構成を自由に組み合わせても良い。

【0227】[実施例18] 本実施例では、実施例16もしくは実施例17に示したEL表示装置の画素部に用いることができる画素構造の例を図18(A)～(C)に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0228】図18(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの

画素が電流供給線 4606 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0229】また、図 18 (B) は、電流供給線 4608 をゲート配線 4603 と平行に設けた場合の例である。なお、図 18 (B) では電流供給線 4608 とゲート配線 4603 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4608 とゲート配線 4603 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0230】また、図 18 (C) は、図 18 (B) の構造と同様に電流供給線 4608 をゲート配線 4603 と平行に設け、さらに、二つの画素を電流供給線 4608 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4608 をゲート配線 4603a もしくは 4603b のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0231】〔実施例 19〕本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 19～21 に示す。

【0232】図 19 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示部 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本願発明の電気光学装置は表示部 2004 に、本願発明の半導体回路は音声出力部 2002、音声入力部 2003 または CPU やメモリ等に用いることができる。

【0233】図 19 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明の電気光学装置は表示部 2102 に、本願発明の半導体回路は音声入力部 2103 または CPU やメモリ等に用いることができる。

【0234】図 19 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 で構成される。本願発明の電気光学装置は

表示部 2205 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0235】図 19 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 で構成される。本願発明の電気光学装置は表示部 2302 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0236】図 19 (E) はリアプロジェクター（プロジェクション TV）であり、本体 2401、光源 2402、液晶表示装置 2403、偏光ビームスプリッター 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は液晶表示装置 2403 に用いることができ、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0237】図 19 (F) はフロントプロジェクターであり、本体 2501、光源 2502、液晶表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は液晶表示装置 2503 に用いることができ、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0238】図 20 (A) はパーソナルコンピュータであり、本体 2601、映像入力部 2602、表示部 2603、キーボード 2604 等を含む。本願発明の電気光学装置は表示部 2603 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0239】図 20 (B) は電子遊戯機器（ゲーム機器）であり、本体 2701、記録媒体 2702、表示部 2703 及びコントローラー 2704 を含む。この電子遊戯機器から出力された音声や映像は筐体 2705 及び表示部 2706 を含む表示ディスプレイにて再生される。コントローラー 2704 と本体 2701 との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部 2707、2708 で検知する構成となっている。本願発明の電気光学装置は表示部 2703、2706 に、本願発明の半導体回路は CPU やメモリ等に用いることができる。

【0240】図 20 (C) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤー（画像再生装置）であり、本体 2801、表示部 2802、スピーカ部 2803、記録媒体 2804 及び操作スイッチ 2805 を含む。なお、この画像再生装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部 2802 や CPU やメモリ等に用いることができる。

【0241】図 20 (D) はデジタルカメラであり、本体 2901、表示部 2902、接眼部 2903、操作スイッチ 2904、受像部（図示せず）を含む。本願発明

の電気光学装置は表示部 2902 や CPU やメモリ等に用いることができる。

【0242】なお、図 19 (E) のリアプロジェクターや図 19 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図 21 に示す。なお、図 21 (A) は光学エンジンであり、図 21 (B) は光学エンジンに内蔵される光源光学系である。

【0243】図 21 (A) に示す光学エンジンは、光源光学系 3001、ミラー 3002、3005~3007、ダイクロイックミラー 3003、3004、光学レンズ 3008a~3008c、プリズム 3011、液晶表示装置 3010、投射光学系 3012 を含む。投射光学系 3012 は、投射レンズを備えた光学系である。本実施例は液晶表示装置 3010 を三つ使用する三板式の例を示したが、単板式であってもよい。また、図 21 (A) 中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくは IR フィルム等を設けてもよい。

【0244】また、図 21 (B) に示すように、光源光学系 3001 は、光源 3013、3014、合成プリズム 3015、コリメータレンズ 3016、3020、レンズアレイ 3017、3018、偏光変換素子 3019 を含む。なお、図 21 (B) に示した光源光学系は光源を 2 つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくは IR フィルム等を設けてもよい。

【0245】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例 1~17 のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0246】

【発明の効果】本願発明を用いることで同一基板上に、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、電気光学装置の動作性能や信頼性を大幅に向上させることができる。

【0247】また、液晶表示装置に代表される電気光学装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、開閉率（画素面積に対する有効表示面積の割合）を低下させることなく、十分な保持容量を確保することが可能となる。

【0248】また、そのような電気光学装置を表示部として有する電気器具の動作性能と信頼性も向上させることができる。

#### 【図面の簡単な説明】

【図 1】 画素部と駆動回路の作製工程を示す図。

【図 2】 画素部と駆動回路の作製工程を示す図。

【図 3】 画素部と駆動回路の作製工程を示す図。

【図 4】 画素部と駆動回路の作製工程を示す図。

【図 5】 アクティブマトリクス型液晶表示装置の断面構造図。

【図 6】 n チャネル型 TFT の LDD 構造を示す図。

【図 7】 アクティブマトリクス型液晶表示装置の斜視図。

【図 8】 アクティブマトリクス型液晶表示装置の回路ブロック図。

【図 9】 画素部の上面構造を示す図。

【図 10】 画素部の上面構造と断面構造を示す図。

【図 11】 アクティブマトリクス型液晶表示装置の断面構造図。

【図 12】 画素部と駆動回路の作製工程を示す図。

【図 13】 アクティブマトリクス型 EL 表示装置の構成を示す図。

【図 14】 EL 表示装置の上面構造及び断面構造を示す図。

【図 15】 EL 表示装置の断面構造を示す図。

【図 16】 EL 表示装置の画素部の上面構造および回路構成を示す図。

【図 17】 EL 表示装置の断面構造を示す図。

【図 18】 EL 表示装置の画素部の回路構成を示す図。

【図 19】 電気器具の一例を示す図。

【図 20】 電気器具の一例を示す図。

【図 21】 光学エンジンおよび光源光学系の構成を示す図。

【図 22】 TFT の  $I_d-V_g$  曲線を示す図。

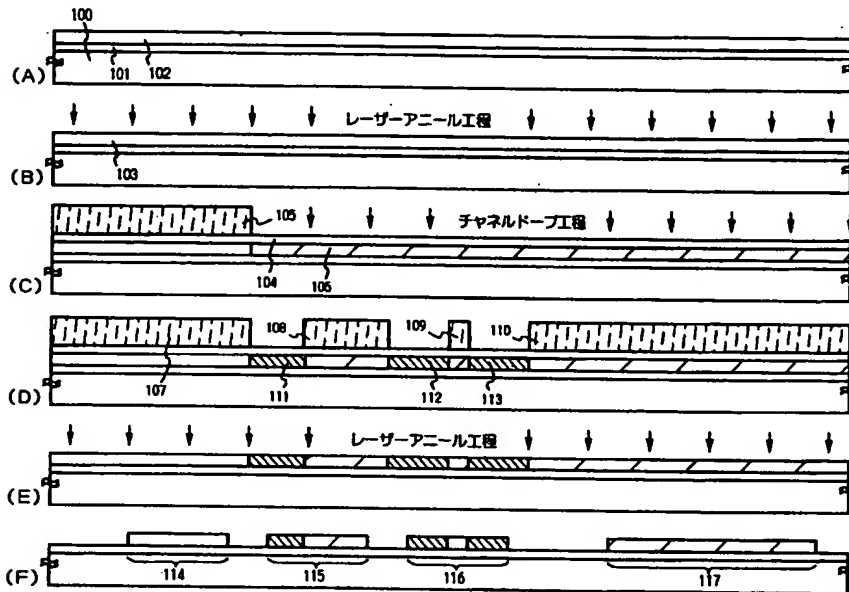
#### 【符号の説明】

100	基板
101	下地膜
102	結晶質半導体膜
103	結晶質半導体膜
104	保護膜
105、107~110	レジストマスク
106	p 型不純物領域 (b)
111~113	n 型不純物領域 (b)
114~117	活性層
118	ゲート絶縁膜
119	第 1 導電膜
120	第 2 導電膜
121~124	ゲート配線
11	後に入出力信号配線となる第 1 配線
12	後にゲート配線となる第 1 配線
125~130	n 型不純物領域 (c)
131~134	ゲート絶縁膜
139~147	n 型不純物領域 (a)
149、150	p 型不純物領域 (a)

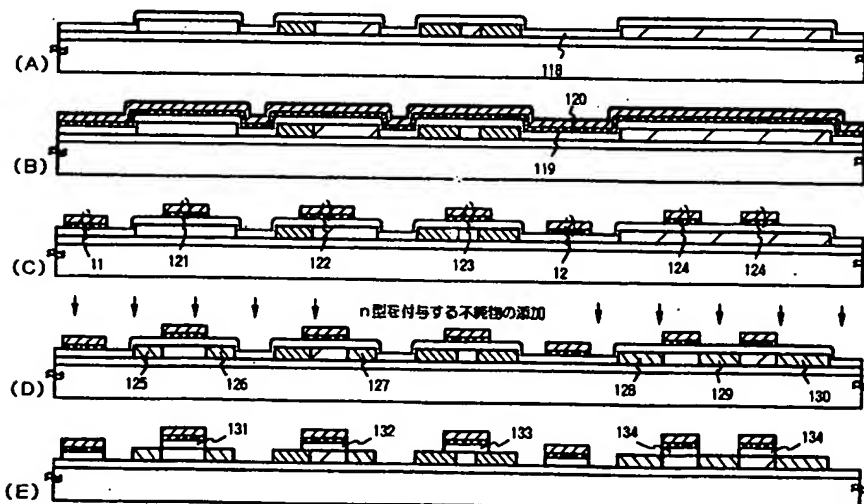
151 保護膜  
 152~156 チャネル形成領域  
 13、14 第2配線  
 158~161 ソース配線  
 162~165 ドレイン配線  
 166 パッシベーション膜  
 167 第3層間絶縁膜  
 168 遮蔽膜  
 169 酸化物

170~172 画素電極  
 173 保持容量  
 201、204、208、213、214 チャネル形成領域  
 202、205、209、215 ソース領域  
 203、206、210、216 ドレイン領域  
 207、211a、212a Lov領域  
 211b、212b、217~220 Loff領域  
 221 n型不純物領域(a)

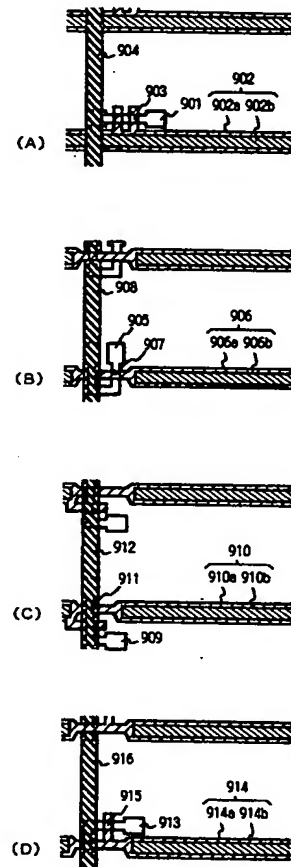
【図1】



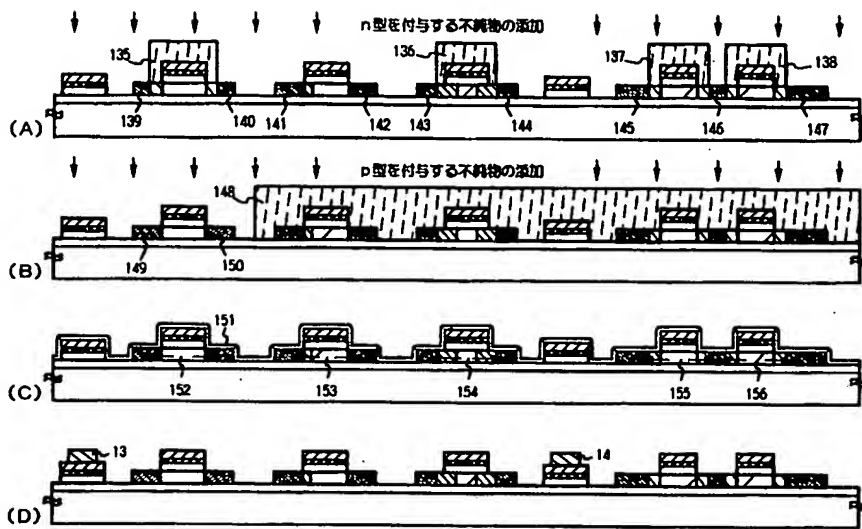
【図2】



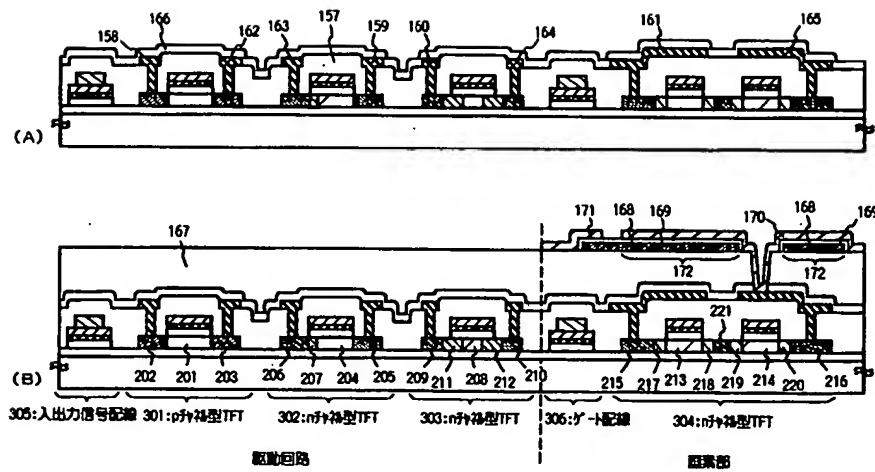
【図9】



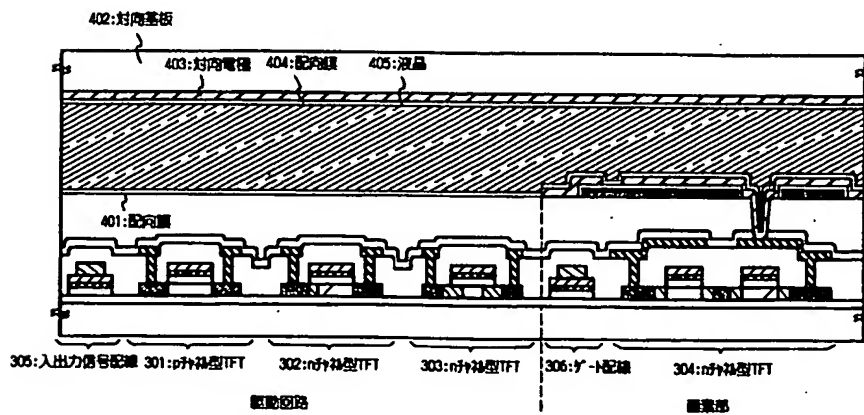
【図3】



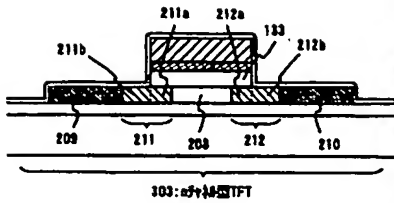
【図4】



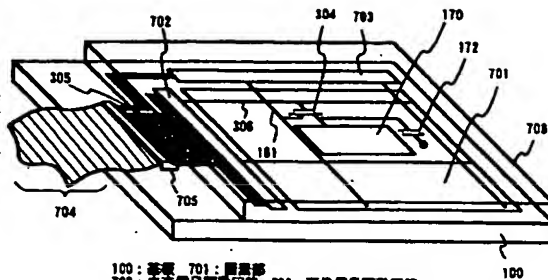
【図5】



【図6】

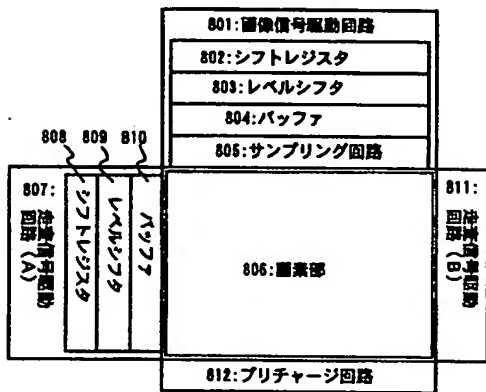


【図7】

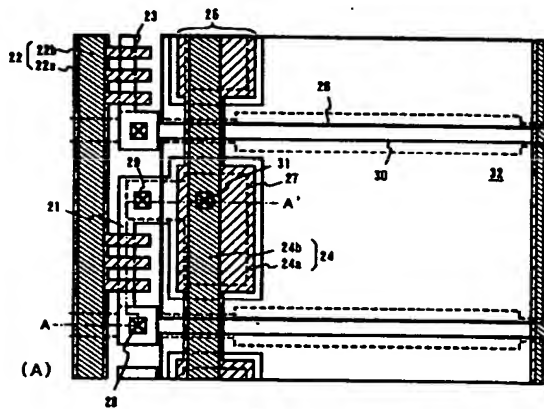


100:基板 701:画素部  
702:走査信号配線回路 703:画素信号配線回路  
704:FPC 705:端子 706:入出力信号配線  
304:画素TFT 305:ゲート配線 161:ソース配線  
170:画素電極 172:保持容量 708:対向基板

【図8】

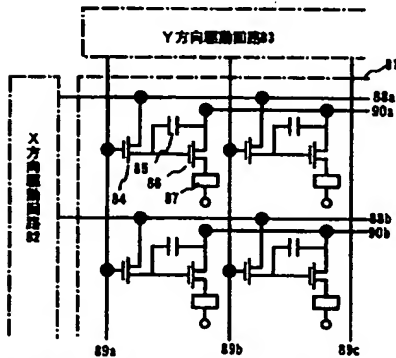


【図10】



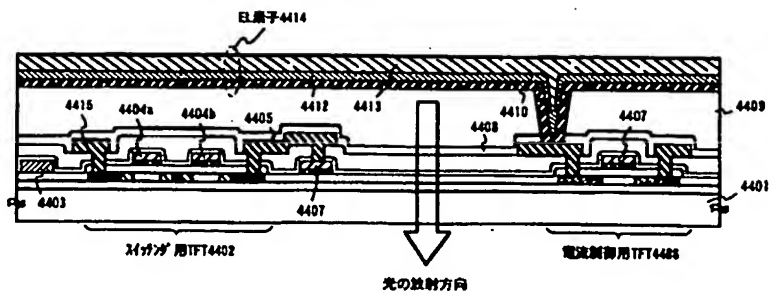
21:活性層 22a, 24a:第1配線 22b, 24b:第2配線  
22:ゲート配線 23:ゲート電極 24:容量配線 25:保持容量  
26:ソース配線 27:ドレイン配線 28, 29, 31:エッジ部  
30:画素電極 32:画像表示領域 33:保持容量の誘電体

【図13】

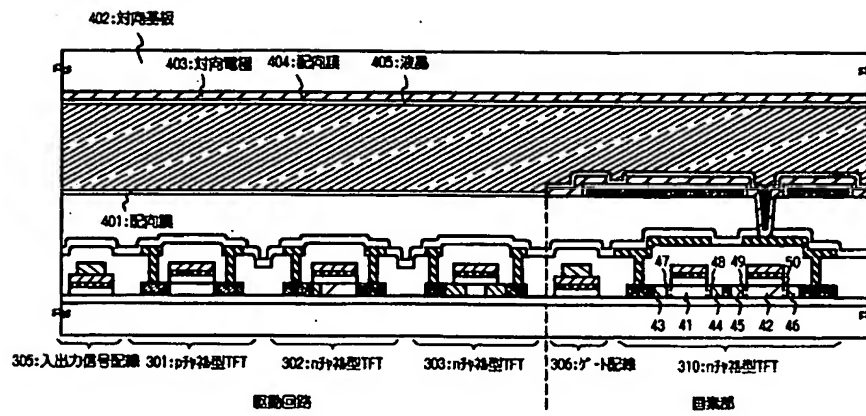


81:画素部 82:X方向(Y-S)駆動回路 83:Y方向(Y-T)駆動回路  
84:X方向(Y-S)駆動回路 85:X方向(Y-T)駆動回路 86:X方向(Y-S)駆動回路  
87:X方向(Y-T)駆動回路 88:X方向(Y-S)駆動回路 89:X方向(Y-T)駆動回路  
90:X方向(Y-S)駆動回路 91:X方向(Y-T)駆動回路

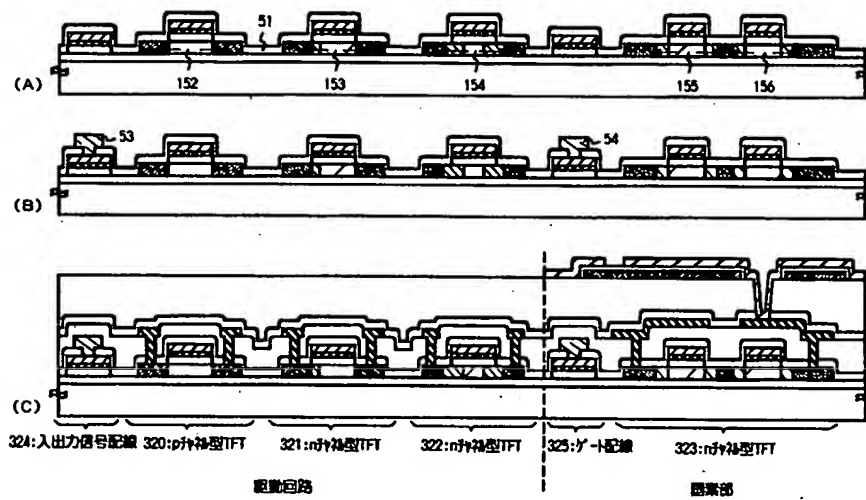
【図15】



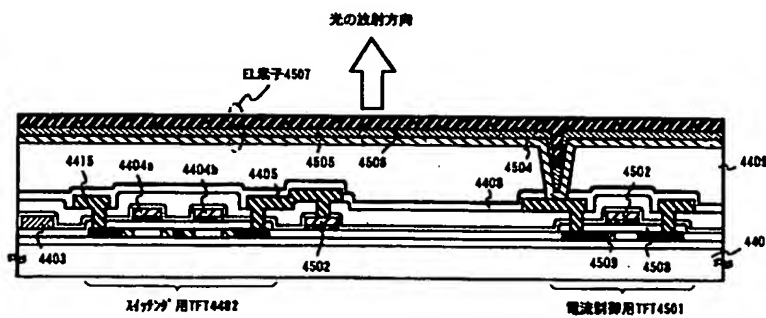
【図11】



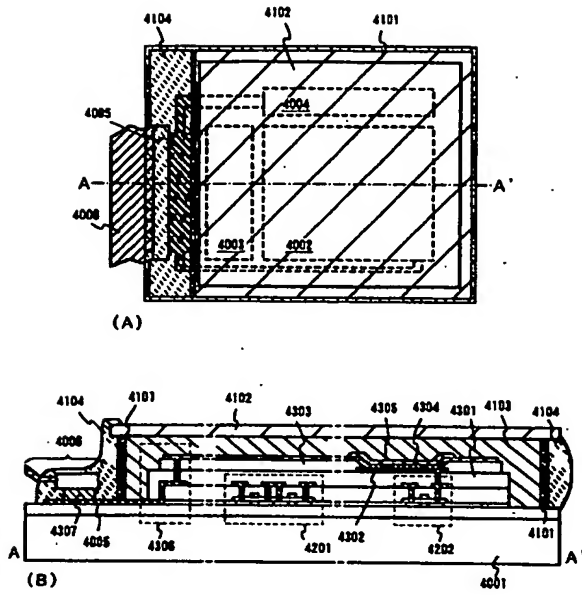
【図12】



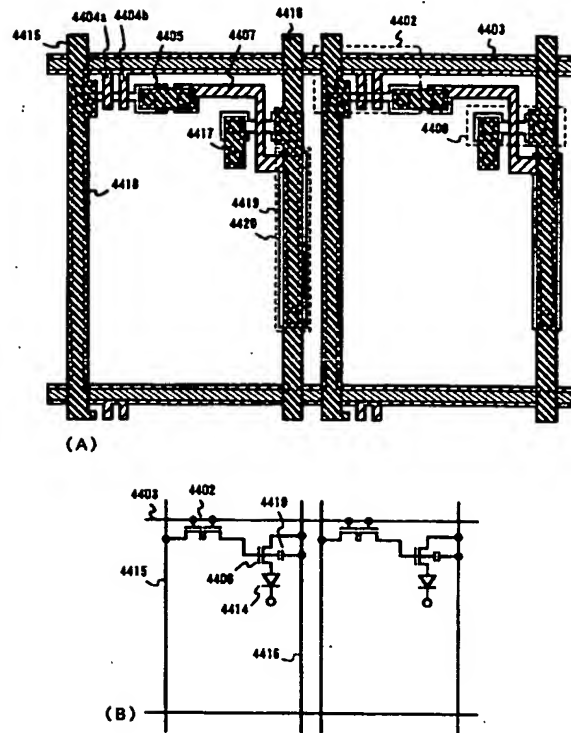
【図17】



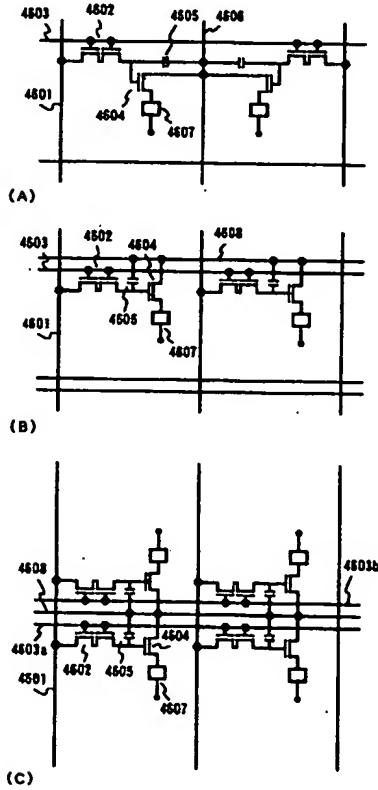
【図14】



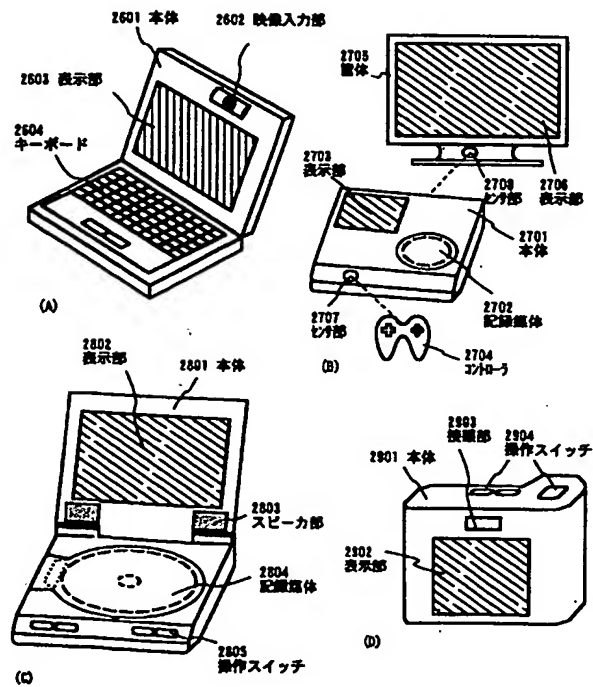
【図16】



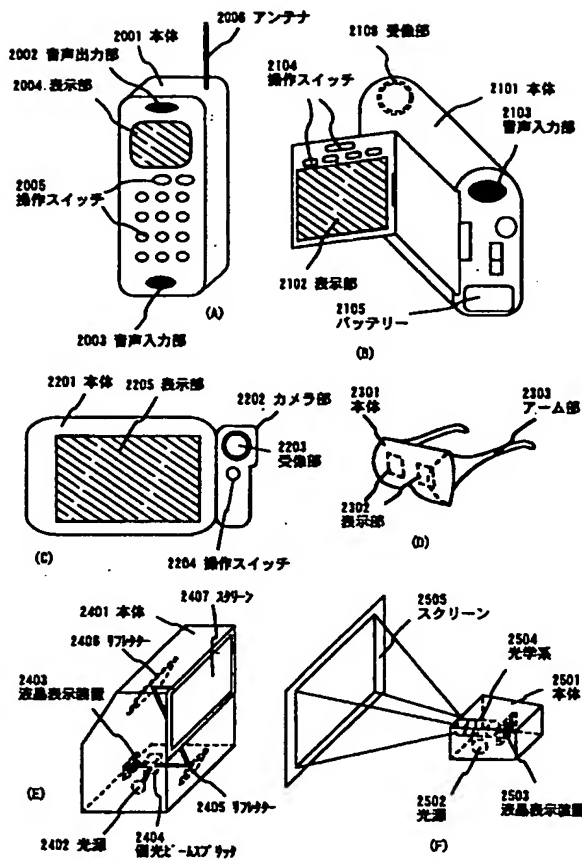
【図18】



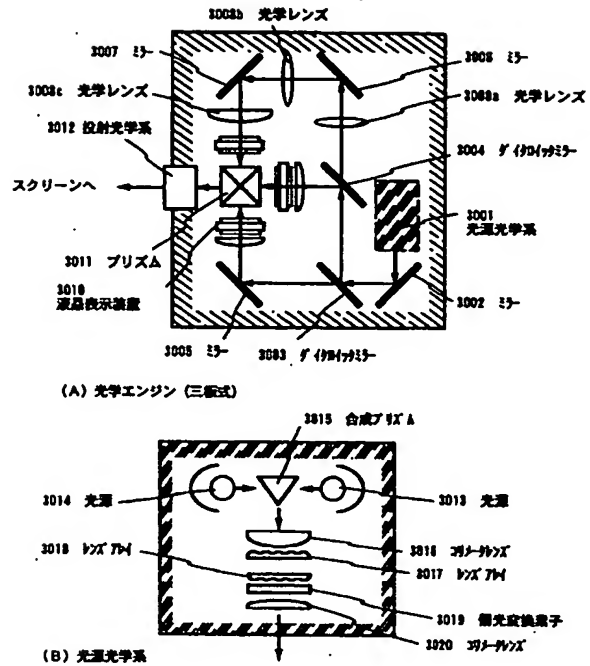
【図20】



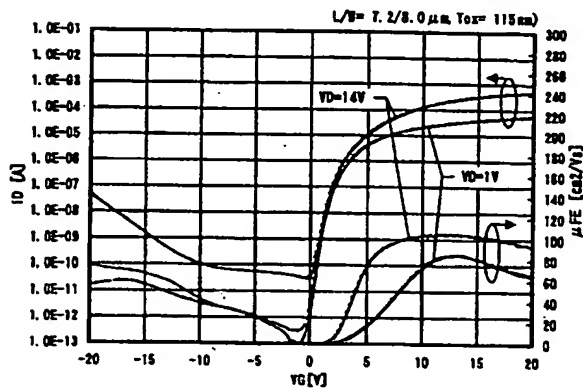
【図19】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

FI

H01L 29/78

テーマコード(参考)

612C

613A